

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-233523

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H01L 21/331

H01L 29/73

(21)Application number : 10-032729

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.02.1998

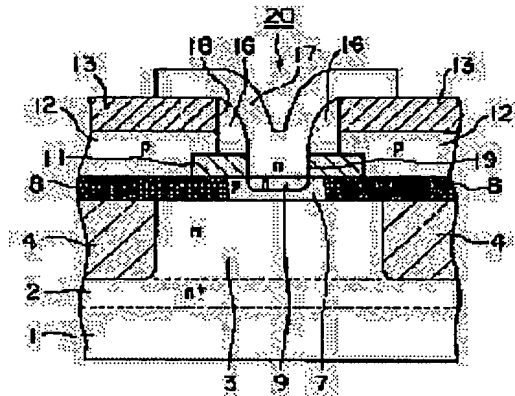
(72)Inventor : INOU KAZUMI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device with a bipolar transistor having good characteristics in radio frequency and noise, and a manufacturing method thereof.

SOLUTION: In a semiconductor device with a bipolar transistor having a n-type collector region 3 formed on a substrate 1 and separated by an insulating film 4, a p-type base region including an active base region 7 formed on the insulating film 4 and the collector region 3, an etching stopper film 11 on the base region over the collector region 3, a p-type base lead region 12, a side-wall spacer 16 formed on the peripheral portion of a first aperture 18, and an n-type emitter 9 and an n-type emitter lead region 17 which are formed in a second aperture 19, p-type impurities are ion-implanted into a region from the peripheral portion of the base region to the peripheral portion of the etching stopper film 11 to form a base region 8 having high concentration.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233523

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.⁶

H 0 1 L 21/331
29/73

識別記号

F I

H 0 1 L 29/72

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平10-32729

(22) 出願日 平成10年(1998) 2月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 井 納 和 美

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

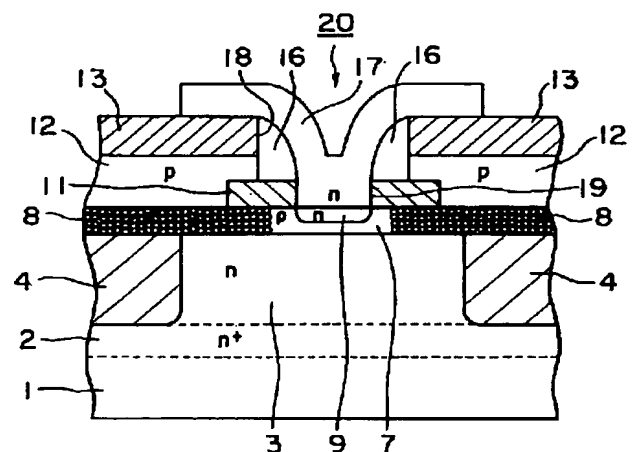
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 高周波数特性およびノイズ特性に優れたバイポーラトランジスタを備えた半導体装置およびその製造方法を提供する。

【解決手段】 基板1上に形成され、絶縁膜4により素子分離されたn型のコレクタ領域3と、絶縁膜4およびコレクタ領域3上に形成された活性ベース領域7を含むp型のベース領域と、ベース領域上であって、コレクタ領域3の上方に形成されたエッチングストップ膜11と、p型のベース引出領域12と、第1の開口18内の周辺部に設けられた側壁スペーサ16と、第2の開口19内に形成されたn型のエミッタ9およびn型のエミッタ引出領域17とを有するバイポーラトランジスタを備えた半導体装置において、ベース領域の周辺部からエッチングストップ膜11の周辺部下の領域に至るまでp型不純物をイオン注入し、高濃度ベース領域8を形成する。



1

【特許請求の範囲】

【請求項 1】第 1 導電型の半導体基板上に形成され、第 1 の絶縁膜で素子分離された第 1 導電型の第 1 の半導体領域と、

前記第 1 の半導体領域上に形成された第 2 導電型の第 2 の半導体領域と、

前記第 2 の半導体領域上であって、前記第 1 の半導体領域の上方に形成されたエッチングストップ膜と、

前記第 2 の半導体領域および前記エッチングストップ膜上に形成された前記第 2 の半導体領域の引出領域と、

前記引出領域上に形成された第 2 の絶縁膜と、

前記エッチングストップ膜の上面に達するように前記第 2 の絶縁膜および前記引出領域に貫通形成された第 1 の開口内の側面に設けられたスペーサ絶縁膜と、

前記第 1 の開口の側面に設けられた前記スペーサ絶縁膜の内側で前記エッチングストップ膜を貫通して前記第 2 の半導体領域に達するように形成された第 2 の開口下で前記第 2 の半導体領域表面に形成された第 1 導電型の第 3 の半導体領域とを備え、

前記第 2 の半導体領域には、その周辺部から実質的に前記エッチングストップ膜下の領域に延在して、前記第 3 の半導体領域下の領域よりも高濃度の第 2 導電型の不純物が拡散していることを特徴とする半導体装置。

【請求項 2】前記第 1、第 2 および第 3 の半導体領域がそれぞれ、バイポーラトランジスタのコレクタ領域、ベース領域およびエミッタ領域であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】第 1 導電型の埋込層を有する半導体基板上に第 1 導電型の不純物がドーパされたシリコン層を形成し、第 1 の半導体領域を形成する工程と、

前記第 1 の半導体領域の周辺に素子分離絶縁膜を形成する工程と、

前記第 1 の半導体領域上に第 2 導電型の不純物がドーパされたシリコン結晶を成長させ、第 2 の半導体領域を形成する工程と、

前記第 2 の半導体領域上に第 1 の絶縁膜を堆積させた後、前記第 2 の半導体領域の上であって前記第 1 の半導体領域の上方の領域に第 1 のレジストパターンを形成し、このレジストパターンをマスクとして前記第 1 の絶縁膜をパターニングしエッチングストップ膜を形成する工程と、

アッシングにより、前記第 1 のレジストパターンの径を減少させて第 2 のレジストパターンを形成する工程と、前記第 2 のレジストパターンをマスクとして前記第 2 の半導体領域に第 2 導電型の不純物をイオン注入し、前記第 2 の半導体領域に高濃度不純物領域を形成する工程と、

前記エッチングストップ膜および前記第 2 の半導体領域上に前記第 2 の半導体領域の引出領域を形成する工程と、

2

前記引出領域上に第 2 の絶縁膜を形成した後、前記エッチングストップ膜の 1 部が露出するように第 1 の開口を形成する工程と、

前記第 1 の開口内の側面にスペーサ絶縁膜を形成する工程と、

前記スペーサ絶縁膜の内側で露出した前記エッチングストップ膜を貫通して前記第 2 の半導体領域に達する第 2 の開口を形成する工程と、

前記第 2 の開口を埋込むように第 1 導電型の不純物がドーパされたシリコンを堆積させた後、前記第 1 導電型の不純物を拡散させて前記第 2 の半導体領域内に第 3 の半導体領域を形成する工程とを具備する半導体装置の製造方法。

【請求項 4】前記第 2 のレジストパターンを形成する工程は、その周縁が前記第 1 の開口の周縁と前記第 2 の開口の周縁との間になるようにアッシングを行うことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】前記引出領域を形成する工程は、高融点金属を堆積させることにより行うことを特徴とする請求項 3 または 4 に記載の半導体装置の製造方法。

【請求項 6】前記第 3 の半導体領域を形成する工程は、前記第 2 の開口を埋込むように多結晶シリコンを堆積させ、第 1 導電型の不純物をイオン注入した後、熱処理により拡散させることにより行うことを特徴とする請求項 3 ないし 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】前記第 3 の半導体領域を形成する工程は、前記第 2 の開口を埋込むように、予め第 1 導電型の不純物がドーパされた多結晶シリコンを堆積させることにより行うことを特徴とする請求項 3 ないし 5 のいずれかに記載の半導体装置の製造方法。

【請求項 8】前記第 3 の半導体領域を形成する工程は、前記第 2 の開口を埋込むように、予め第 1 導電型の不純物がドーパされたシリコン結晶をエピタキシャル成長させることにより行うことを特徴とする請求項 3 ないし 5 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に、低ノイズでかつ周波数特性に優れたバイポーラトランジスタを備えた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、高速 LSI (Large Scale Integrated Circuit) を実現するため、高速バイポーラ LSI の技術開発が進められ、選択エピタキシャル技術を用いた高性能のトランジスタを形成する技術が提案されている。以下、従来の技術におけるバイポーラトランジスタの 1 例を図面を参照しながら説明する。

【0003】図 10 は、従来の技術による NPN バイポーラ LSI の 1 例である半導体装置 40 を示す断面図で

ある。この半導体装置 40 の製造方法を図 10 を参照しながら説明する。

【0004】まず、高濃度の n⁺型埋込層 2 を含む半導体基板 1 上に、n 型の不純物をドーピングしながらシリコン結晶をエピタキシャル成長させ、n 型コレクタ領域 3 を形成し、酸化膜を形成して素子分離絶縁膜 4 とする。

【0005】次に、選択的エピタキシャル技術を用いて p 型不純物をドーピングしながらコレクタ領域 3 の上にのみシリコン単結晶を成長させ、ベース領域 36 を形成する。その後、窒化膜と酸化膜の複合膜を全面に堆積し、レジストを用いたパターニングにより、ベース領域 36 上にエッチングストッパ膜 31 を形成する。次に、多結晶シリコンを全面に成長させた後、p 型の不純物をイオン注入し、p 型ベース引出領域 32 を形成する。さらに、CVD (Chemical Vapor Deposition) 法により酸化膜 14 と窒化膜 15 を順次堆積させる。

【0006】次に、これら窒化膜 15、酸化膜 14 およびベース引出領域 32 中のベース領域 36 上に位置する領域の一部に第 1 の開口 18 を設けてエッチングストッパ膜 31 を露出させた後、CVD 法により酸化膜を堆積させ、異方性エッチングによりエッチバックを行って、サイドウォール・スペーサ 16 を形成する。

【0007】次に、エッチングストッパ膜 31 をウエット系のエッチングでベース領域 36 にダメージを与えることなくエッチング除去し、第 1 の開口 18 内に、ベース領域 36 まで到達する第 2 の開口 19 を形成する。次に、この第 2 の開口 19 を埋込むように、多結晶シリコンを堆積させた後、n 型の不純物をイオン注入し、この不純物を熱処理により拡散させ、エミッタ領域 9 およびエミッタ引出領域 17 を形成する。

【0008】その後は、エミッタ引出領域 17 の多結晶シリコンを所定の形状にパターニングした後、周知の方法で、金属電極を形成して NPN バイポーラトランジスタを完成させる。

【0009】このような方法で製造されたバイポーラトランジスタは、非常に薄いベース層を形成できるので、イオン注入法または拡散技術により形成されるベース層を有するバイポーラトランジスタと比較して、高い遮断周波数を得ることができた。

【0010】

【発明が解決しようとする課題】しかしながら、以上の方法により製造されたバイポーラトランジスタには、次のような問題があった。

【0011】即ち、バイポーラ動作をするエミッタ領域 9 の直下に至るまで、多結晶シリコンからなる p 型ベース引出領域 32 および単結晶シリコンからなるベース領域 36 を通って電流が流れるので、エッチングストッパ膜 31 下の領域におけるベース抵抗が非常に大きくなる。このため、高周波数特性が劣化して回路全体におけるパフォーマンスが低下するとともに、熱雑音発生の原

因となっていた。

【0012】本発明は、上記事情に鑑みてなされたものであり、その目的は、高周波数特性およびノイズ特性に優れたバイポーラトランジスタを備えた半導体装置およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明は以下の手段により上記課題の解決を図る。

【0014】即ち、本発明（請求項 1）によれば、第 1 導電型の半導体基板上に形成され、第 1 の絶縁膜で素子分離された第 1 導電型の第 1 の半導体領域と、上記第 1 の半導体領域上に形成された第 2 導電型の第 2 の半導体領域と、上記第 2 の半導体領域上であって、上記第 1 の半導体領域の上方に形成されたエッチングストッパ膜と、上記第 2 の半導体領域および上記エッチングストッパ膜上に形成された上記第 2 の半導体領域の引出領域と、上記引出領域上に形成された第 2 の絶縁膜と、上記エッチングストッパ膜の上面に達するように上記第 2 の絶縁膜および上記引出領域に貫通形成された第 1 の開口内の側面に設けられたスペーサ絶縁膜と、上記第 1 の開口の側面に設けられた上記スペーサ絶縁膜の内側で上記エッチングストッパ膜を貫通して上記第 2 の半導体領域に達するように形成された第 2 の開口下で上記第 2 の半導体領域表面に形成された第 1 導電型の第 3 の半導体領域とを備え、上記第 2 の半導体領域には、その周辺部から実質的に上記エッチングストッパ膜下の領域に延在して、上記第 3 の半導体領域下の領域よりも高濃度の第 2 導電型の不純物が拡散していることを特徴とする半導体装置が提供される。

【0015】上記第 1、第 2 および第 3 の半導体領域がそれぞれ、バイポーラトランジスタのコレクタ領域、ベース領域およびエミッタ領域であると良い。

【0016】また、本発明（請求項 3）によれば、第 1 導電型の埋込層を有する半導体基板上に第 1 導電型の不純物がドーピングされたシリコン層を形成し、第 1 の半導体領域を形成する工程と、上記第 1 の半導体領域の周辺に素子分離絶縁膜を形成する工程と、上記第 1 の半導体領域上に第 2 導電型の不純物がドーピングされたシリコン結晶を成長させ、第 2 の半導体領域を形成する工程と、上記第 2 の半導体領域上に第 1 の絶縁膜を堆積させた後、上記第 2 の半導体領域の上であって上記第 1 の半導体領域の上方の領域に第 1 のレジストパターンを形成し、このレジストパターンをマスクとして上記第 1 の絶縁膜をパターニングしエッチングストッパ膜を形成する工程と、アッシングにより、上記第 1 のレジストパターンの径を減少させて第 2 のレジストパターンを形成する工程と、上記第 2 のレジストパターンをマスクとして上記第 2 の半導体領域に第 2 導電型の不純物をイオン注入し、上記第 2 の半導体領域に高濃度不純物領域を形成する工程と、上記エッチングストッパ膜および上記第 2 の半導体

5

領域上に上記第 2 の半導体領域の引出領域を形成する工程と、上記引出領域上に第 2 の絶縁膜を形成した後、上記エッチングストップ膜の 1 部が露出するように第 1 の開口を形成する工程と、上記第 1 の開口内の側面にスペーサ絶縁膜を形成する工程と、上記スペーサ絶縁膜の内側で露出した上記エッチングストップ膜を貫通して上記第 2 の半導体領域に達する第 2 の開口を形成する工程と、上記第 2 の開口を埋込むように第 1 導電型の不純物がドーブされたシリコンを堆積させた後、上記第 1 導電型の不純物を拡散させて上記第 2 の半導体領域内に第 3 の半導体領域を形成する工程とを具備する半導体装置の製造方法が提供される。

【0017】上記第 2 のレジストパターンを形成する工程は、その周縁が上記第 1 の開口の周縁と上記第 2 の開口の周縁との間になるようにアッシングを行うことが望ましい。

【0018】また、上記引出領域を形成する工程は、高融点金属を堆積させることにより行っても良い。

【0019】また、上記第 3 の半導体領域を形成する工程は、上記第 2 の開口を埋込むように多結晶シリコンを堆積させ、第 1 導電型の不純物をイオン注入した後、熱処理により拡散させることにより行うと良い。

【0020】また、上記第 3 の半導体領域を形成する工程は、上記第 2 の開口を埋込むように、予め第 1 導電型の不純物がドーブされた多結晶シリコンを堆積させることにより行っても良い。

【0021】さらに、上記第 3 の半導体領域を形成する工程は、上記第 2 の開口を埋込むように、予め第 1 導電型の不純物がドーブされたシリコン結晶をエピタキシャル成長させることにより行っても良い。

【0022】

【発明の実施の形態】以下、本発明の実施の形態のいくつかについて図面を参照しながら説明する。なお、以下の各図において、図 10 と同一の部分には同一の参照番号を付してその説明は省略する。

【0023】図 1 は、本発明にかかる半導体装置の実施の一形態を示す部分断面図である。本発明にかかる半導体装置の特徴は、コレクタ領域 3 および素子分離絶縁膜 4 上に形成されたベース領域のうち、周辺部からエッチングストップ膜 1 1 下の領域に至るまで延在して、活性ベース領域 7 と同導電型の不純物が高濃度に拡散された高濃度ベース領域 8 を備えた点にある。

【0024】図 1 に示す半導体装置 20 は、NPN 型のバイポーラトランジスタを備えており、その構造は次のとおりである。

【0025】即ち、p 型のシリコン半導体基板 1 上に形成された高濃度の n⁺埋込層 2 の上に、周囲が絶縁膜 4 により素子分離され n 型の不純物がドーブされたコレクタ領域 3 が形成されている。

【0026】コレクタ領域 3 の上には、ジボラン (B₂

6

H₆) を用いて p 型の不純物であるボロンがドーブされた単結晶シリコン層でなる活性ベース領域 7 が形成されている。なお、ジボランにゲルマン (Ge) を加えて SiGe 層を形成するようにしても良い。

【0027】さらに、コレクタ領域 3 および絶縁膜 4 の上であって、上記活性ベース領域 7 の周囲のベース領域には、本発明において特徴的な高濃度ベース領域 8 が形成されている。

【0028】この高濃度ベース領域 8 は、活性ベース領域 7 と同時に形成されたシリコン結晶膜に活性ベース領域 7 が含む p 型不純物と同一の不純物をイオン注入して形成されたものである。

【0029】また、活性ベース領域 7 およびこの周辺近傍の領域の上には、エッチング制御のためのエッチングストップ膜 1 1 が形成されており、エッチングストップ膜 1 1 および高濃度ベース領域 8 の上には、ボロンイオンが注入された多結晶シリコン層でなるベース引出領域 1 2 が形成され、その上面には、絶縁膜 1 3 が形成されている。なお、このベース引出領域 1 2 は、p 型の不純物がイオン注入された多結晶シリコンの他、ボロンがドーブされた多結晶シリコンで形成されたものでも良く、さらに、タングステン (W) 等の高融点金属を堆積して形成されたものでも良い。

【0030】絶縁膜 1 3 およびベース引出領域 1 2 中には、エッチングストップ膜 1 1 上の周辺部を除く中央の領域が露出するように、径 W₁ の第 1 の開口 1 8 が設けられ、この第 1 の開口 1 8 内の周辺部には、サイドウォール・スペーサ 1 6 が形成されている。

【0031】また、この第 1 の開口 1 8 内には、サイドウォール・スペーサ 1 6 の厚みにより径 W₂ (W₂ < W₁) が定義される第 2 の開口 1 9 がエッチングストップ膜 1 1 を貫通して設けられ、その底面は、活性ベース領域 7 の表面に至っている。

【0032】さらに、この第 2 の開口 1 9 を埋込むように、砒素がイオン注入され熱処理により拡散した多結晶シリコン層が堆積され、その底部の活性ベース領域 7 内に n 型のエミッタ領域 9 を形成し、その上部は、エミッタ引出領域 1 7 を形成する。このように、この半導体装置 20 は、ベース領域の周辺部から実質的にエッチングストップ膜 1 1 下の領域、例えばサイドウォール・スペーサ 1 6 下の領域に至るまで p 型の不純物が高濃度にイオン注入された高濃度ベース領域 8 を備え、ベース抵抗が非常に低いバイポーラトランジスタからなるものである。これにより、高周波数特性に優れ、熱雑音の低い NPN バイポーラトランジスタを備えた半導体装置が提供される。

【0033】次に、本発明にかかる半導体装置の製造方法の実施の一形態について説明する。

【0034】本発明にかかる半導体装置の製造方法の特徴は、高濃度の p 型不純物を含み、ベース領域の周辺部

10

20

30

40

50

7

からエッチングストップ膜 11 下で活性ベース領域 7 の近傍にまで延在する高濃度ベース領域 8 を形成する点にある。以下、図 2 ないし図 9 を参照しながら説明する。

【0035】図 2 ないし図 9 は、本実施形態の半導体装置の製造方法を説明するための略示部分断面図である。

【0036】まず、図 2 に示すように、p 型のシリコン半導体基板 1 上に既知の拡散技術を用いて高濃度の n⁺ 型埋込層 2 を形成し、さらに、n 型の不純物をドーピングしながらシリコン結晶をエピタキシャル成長させて、n 型のコレクタ領域 3 を形成する。その後、このコレクタ領域 3 の周辺に絶縁膜 4 を形成してバイポーラトランジスタの活性領域 23 を素子分離する。

【0037】次に、図 3 に示すように、半導体基板 1 上の全面にシリコン結晶をエピタキシャル成長させ、活性領域 23 の上には単結晶シリコン 35 を形成し、絶縁膜 4 の上には多結晶シリコン 6 を形成する。

【0038】このとき、p 型の不純物拡散源、例えばジボラン (B₂H₆) を所定の圧力、温度およびガス流量で添加してエピタキシャル層を成長させながら p 型にドーピングし、ベース領域を形成する。また、ジボランに加えてゲルマン (GeH₄) を所定の圧力、温度およびガス流量で添加すれば SiGe 層を形成することもできる。

【0039】次に、図 4 に示すように、全面に絶縁膜を堆積させた後、フォトリソをパターンニングしてレジストパターン 21 を形成し、エッチングにより、他の領域の絶縁膜を除去して単結晶シリコン 35 の上にエッチングストップ膜 11 を形成する。

【0040】次に、図 5 に示すように、上記レジストパターン 21 を酸素プラズマ中で灰化処理 (Ashing) することにより周辺部分を除去・後退させて、径の減少したレジストパターン 21' とする。灰化処理により除去・後退させる量は、レジストパターン 21' がエミッタの形成予定領域よりやや大きく残る程度に制御する。さらに、このレジストパターン 21' をマスクとして、ホウ素などの p 型不純物を約 $1.0 \times 10^{16} \text{cm}^{-2}$ のドーズ量、15 KeV 以下の加速電圧でベース領域の周辺部にイオン注入し熱処理を行うことにより、ベース領域の周縁部からエッチングストップ膜 11 の周辺部下の領域にまで延在する高濃度ベース領域 8 を形成する。一方、これにより、レジストパターン 21' 直下のベース領域は、バイポーラ動作をする活性ベース領域 7 となる。なお、ここでは、エッチングストップ膜 11 におけるレジストパターン 21' 下以外の周辺部にも p 型不純物がイオン注入される。

【0041】次いで、レジストパターン 21' を除去した後、図 6 に示すように、多結晶シリコンを約 200 nm の膜厚になるまで CVD 法により堆積し、p 型の不純物、例えばボロンを、約 $1.0 \times 10^{16} \text{cm}^{-2}$ のドーズ量、30 KeV の加速電圧でイオン注入し、熱処理を行ってベース引出領域 12 を形成する。なお、このように

8

ボロンイオンを注入する代りに、ボロンがドーピングされた多結晶シリコンを堆積しても良い。また、多結晶シリコンを成長させる代りに、タングステン等の高融点金属を堆積しても良い。

【0042】その後、それぞれ約 100 nm の膜厚で酸化膜 14 および窒化膜 15 を順次 CVD 法により堆積する。その後、レジストのパターニングにより、これらの窒化膜 15、酸化膜 14 および多結晶シリコンの一部をエッチング除去し、エッチングストップ膜 11 の上面に至る第 1 の開口 18 を形成する。

【0043】次に、図 7 に示すように、第 1 の開口 18 を埋込むように絶縁膜を堆積させ、RIE (Reactive Ion Etching) により、サイドウォール・スペーサ 16 を形成する。

【0044】次に、図 8 に示すように、活性ベース領域 7 にダメージを与えないようにウェット系の選択的イオンエッチングにより、第 1 の開口 18 内のサイドウォール・スペーサ 16 の内側に、エッチングストップ膜 11 を貫通して活性ベース領域 7 の表面に至る第 2 の開口 19 を形成する。

【0045】その後、図 9 に示すように、全面に多結晶シリコンを堆積し、砒素をドーズ量約 $2.0 \times 10^{16} \text{cm}^{-2}$ 、加速電圧 60 KeV の条件でイオン注入した後、熱処理工程により、活性ベース領域 7 内およびその上部に砒素を拡散させ、n 型のエミッタ領域 9 およびエミッタ引出領域 17 を形成する。なお、ここで砒素をイオン注入する代りに、既に砒素がドーピングされた多結晶シリコンを第 2 の開口 19 内に堆積させることも可能である。また、多結晶シリコンの代りに、砒素がドーピングされたシリコン結晶をエピタキシャル成長させても良い。

【0046】その後は、既知の方法により、エミッタ引出領域 17 およびベース引出領域 12 に所定の金属電極を形成し、バイポーラトランジスタのエミッタ・ベース電極を形成する。なお、コレクタ引出領域は、図面に示していないが、例えば、図 9 の紙面に垂直な方向の適当な位置において形成され、これに結合して形成されるコレクタ電極 (図示せず) は、このコレクタ引出領域と高濃度 n⁺ 埋込層 2 を介してコレクタ領域 3 と接続されている。

【0047】このように、本実施形態にかかる半導体装置の製造方法によれば、高濃度の p 型不純物が注入された高濃度ベース領域 8 をベース領域の周辺部からエッチングストップ膜 11 下の活性ベース領域 7 にまで延在して形成するので、ベース抵抗の低いバイポーラトランジスタを形成することができる。これにより、高周波特性に優れ、熱雑音の低いバイポーラトランジスタを備えた半導体装置を製造する方法が提供される。

【0048】以上、本発明の実施の形態について説明したが、本発明は、上記実施の形態に限るものではなく、その要旨を逸脱しない範囲で種々変形して適用すること

9

ができる。上記の実施形態では、NPN型のバイポーラトランジスタを備えた半導体装置およびその製造方法について説明したが、PNP型のバイポーラトランジスタにも適用できるのは勿論である。また、材料その他の条件は、仕様に依じて変更することができる。

【0049】

【発明の効果】以上詳述したとおり、本発明は以下の効果を奏する。

【0050】即ち、本発明によれば、第2導電型の第2の半導体領域において、その周辺部からエッチングストップパ膜の周辺部下の領域に延在して第2導電型の不純物が高濃度に拡散しているのので、ベース抵抗が低いバイポーラトランジスタを備えた半導体装置が提供される。これにより、高周波数特性に優れ、熱雑音の低いバイポーラトランジスタを備えた半導体装置が提供される。

【0051】また、本発明によれば、上記効果を有する半導体装置を製造する方法が提供される。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の略示部分断面図である。

【図2】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図3】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図4】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図5】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

10

*【図6】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図7】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図8】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図9】本発明にかかる半導体装置の製造方法を示す略示部分断面図である。

【図10】従来の技術による半導体装置の1例を示す略示部分断面図である。

【符号の説明】

1 p型シリコン半導体基板

2 n⁺埋込層

3 n型コレクタ領域

4 素子分離絶縁膜

7 活性ベース領域

8 高濃度ベース領域

9 エミッタ領域

11, 31 エッチングストップパ膜

12, 32 ベース引出領域

17 エミッタ引出領域

18 第1の開口

19 第2の開口

20 本発明の実施の形態である半導体装置

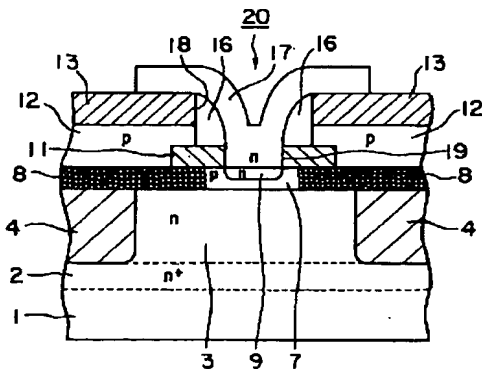
21 エッチングストップパ膜形成用レジストパターン

21' 高濃度ベース領域形成用レジストパターン

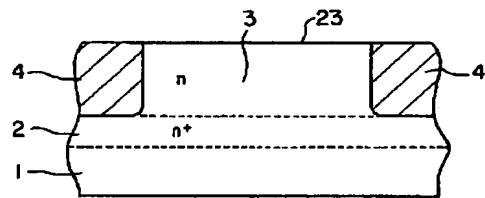
W₁ 第1の開口の径

W₂ 第2の開口の径

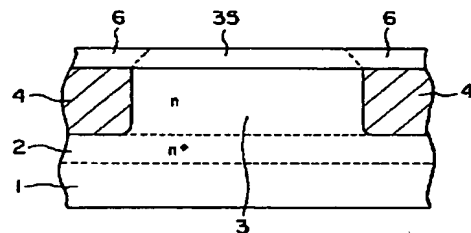
【図1】



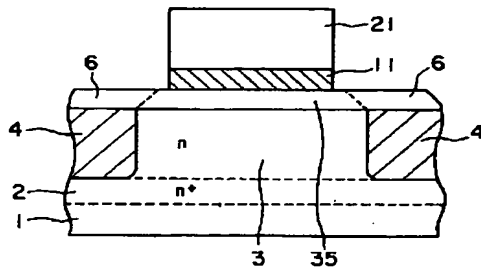
【図2】



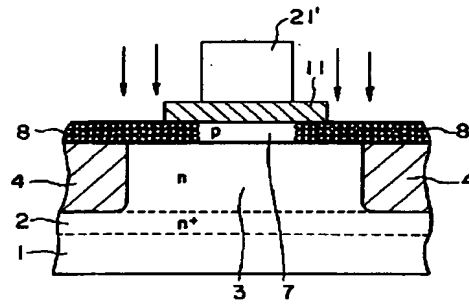
【図3】



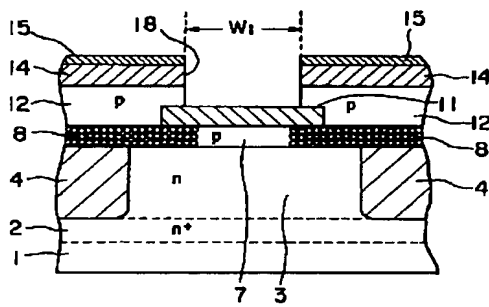
【図 4】



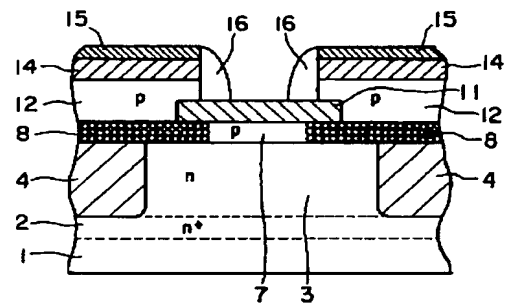
【図 5】



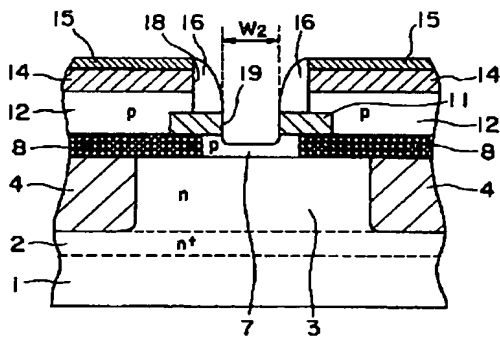
【図 6】



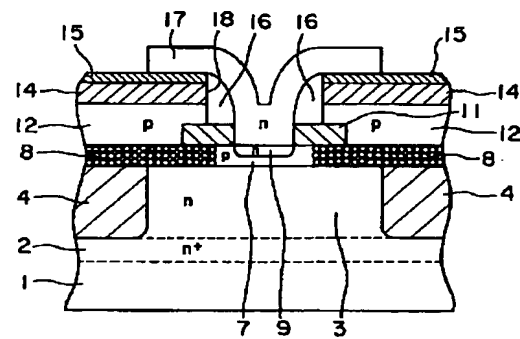
【図 7】



【図 8】



【図 9】



【図 10】

